

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平6-334480

(43) 公開日 平成6年(1994)12月2日

(51) Int.Cl.⁵

H 0 3 H 11/52

識別記号

庁内整理番号

8628-5 J

F I

技術表示箇所

審査請求 有 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平5-122227

(22) 出願日 平成5年(1993)5月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 藤井 正浩

東京都港区芝五丁目7番1号 日本電気株式会社内

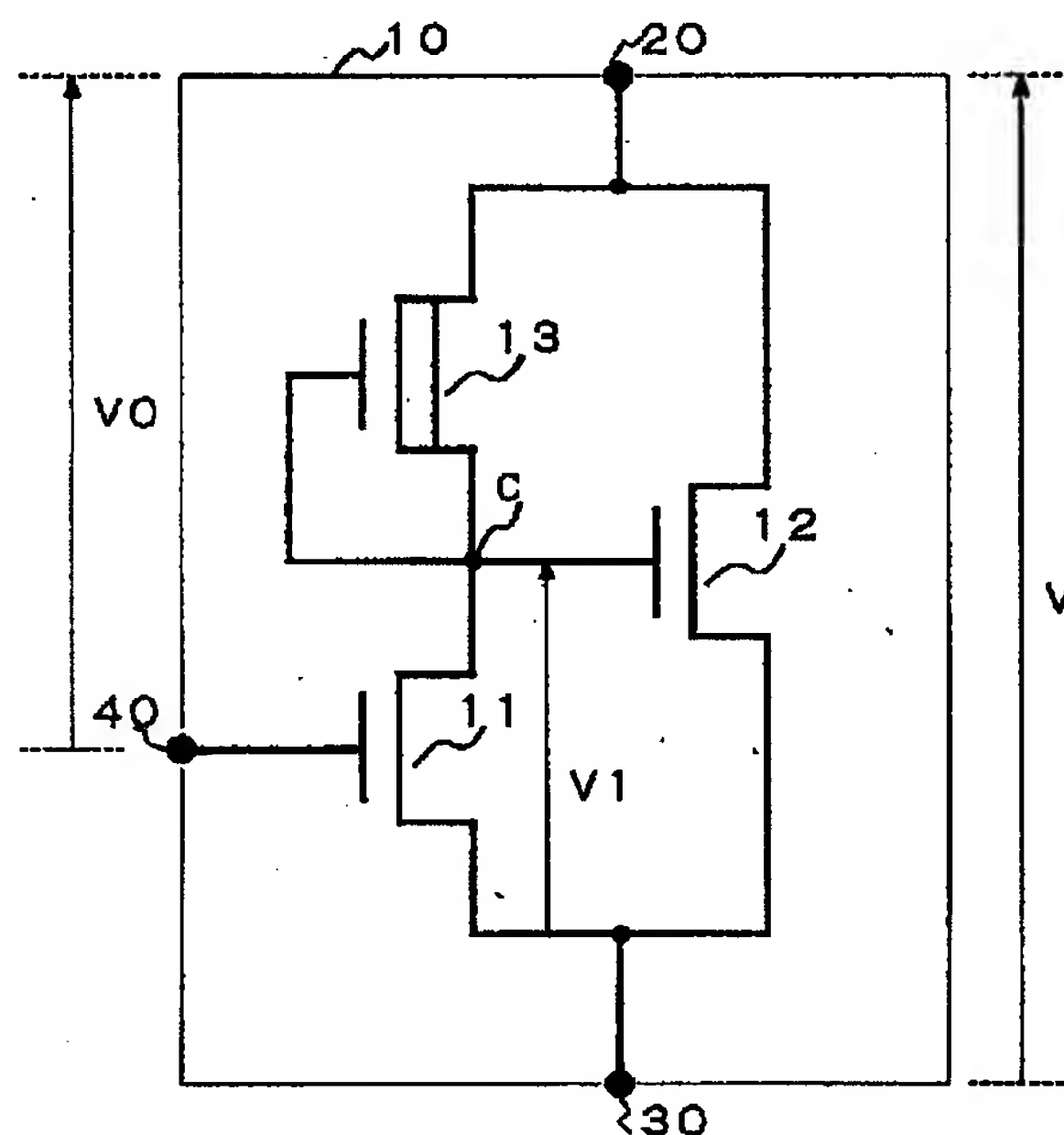
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 同一導電形 F E T またはバイポーラトランジスタを用いて構成できる負性抵抗回路を提供する。

【構成】 負性抵抗回路 1 0 は、外部接続端子 2 0 にドレイン電極が接続された N チャネルディプレッション形 F E T (D-F E T) 1 3 のソース電極と外部接続端子 3 0 にソース電極が接続された N チャネルエンハンスメント形 F E T (E-F E T) 1 1 のドレイン電極とが接続され、E-F E T 2 のドレイン電極が外部接続端子 2 0 に、ソース電極が外部接続端子 3 0 にそれぞれ接続される。E-F E T 1 1 のゲート電極は電圧入力端子 4 0 に、E-F E T 1 2 のゲート電極は直列接続点 C と D-F E T 1 3 のゲート電極とに共通接続される。E-F E T 1 1 のドレイン電圧は外部接続端子 2 0 および 3 0 間の電圧に応答して上昇した後、再び下降するので E-F E T 1 2 のドレイン電流もその変化に応答して増減する。



1

【特許請求の範囲】

【請求項1】 電流入力端子および電流出力端子とその電流入出力端子間の電流を制限する制御端子とをそれぞれ有する第1および第2の各素子と負荷素子とを備え、前記負荷素子および前記第1の素子が直列接続された直列接続回路と前記第2の素子とが第1および第2の外部接続端子間に互いに並列接続の状態で挿入され、前記第1の素子の制御端子が前記第1の外部接続端子との間に所定の制御電圧が供給される制御電圧入力端子に接続され、前記第2の素子の制御端子が前記直列接続回路の直列接続点に接続されて負性抵抗回路が構成されることを特徴とする半導体集積回路。

【請求項2】 電流入力端子および電流出力端子とその電流入出力端子間の電流を制限する制御端子とをそれぞれ有する第1および第2の各素子と負荷素子とを備え、前記負荷素子および前記第1の素子が直列接続された直列接続回路と前記第2の素子とが第1および第2の外部接続端子間に互いに並列接続の状態で挿入され前記第1の素子の制御端子が前記第1の外部接続端子との間に所定の制御電圧が供給される制御電圧入力端子に接続され前記第2の素子の制御端子が前記直列接続回路の直列接続点に接続された負性抵抗回路の、前記第2の外部接続端子および接地電位間に駆動素子が挿入接続され、その駆動素子の制御端子が入力端子に、前記第2の外部接続端子が出力端子に、前記第1の外部接続端子が電源電位にそれぞれ接続されてヒステリシス特性を有するインバータ回路を構成することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路（IC）に係わり、特にICチップへの内蔵に適した複数の電界効果トランジスタ（FET）からなる負性抵抗回路に関する。

【0002】

【従来の技術】 上記した負性抵抗回路を用いるとICチップに内蔵される記憶回路やフリップフロップ回路を少ない素子数でその回路構成を単純化でき、さらに多値論理回路を容易に構成できるので新しい機能をもった回路を実現することも可能である。

【0003】 そのため、古くはエサキダイオードから最近の共鳴トンネルダイオードに至る種々の負性抵抗素子が開発されてきた。しかし、これらの素子はICチップ内に使用されるバイポーラトランジスタやFETとはその製造方法が異なるために、その負性抵抗素子を用いた回路は未だ実用化には至っていない。また、共鳴トンネルダイオードには室温で負性抵抗特性を得ることが難かしいという欠点がある。一方、トランジスタやFETのみで回路的に負性抵抗を実現する試みもなされてきた。その一例が「電子情報通信学会論文誌」1985年1月、J68-C巻、第43ページに記載されている。図6

2

（a）を参照すると上記刊行物に所載の負性抵抗回路は、接続端子20および30の間にPチャネルディプレション形FET15およびNチャネルディプレション形FET16が直列接続の状態で互にドレイン電極を接続して挿入され、それぞれのゲート電極は他方のソース電極に接続された構成である。

【0004】 再び図6（a）を参照すると、この負性抵抗回路は接続端子20および30間に供給される電圧が0V近傍のときは、Pチャネルディプレション形FET15およびNチャネルディプレション形FET16は共にオン（ON）状態にある。

【0005】 供給電圧を徐々に増加させていくとそのゲート・ソース間電圧は、Pチャネルディプレション形FET15では負方向に、Nチャネルディプレション形FET16では正方向にそれぞれ変化し、双方のFETは共にドレイン電流が減少する。この特性を利用して負性抵抗特性を実現している。この負性抵抗回路を構成するFETはディプレション形にすることが必要であるが、エンハンスメント形で構成した例が特願平1-58693号公報に記載されている。図6（b）を参照するとこの公報所載の負性抵抗回路は、Pチャネル形FET17の基板端子およびNチャネル形FET18のドレイン電極が接続され、またNチャネル形FET17の基板端子およびPチャネル形FET18のドレイン電極が接続され、Pチャネル形FET17のソース電極が接続端子20にゲート電極が端子50に、Nチャネル形FET18のソース電極が接続端子30に、ゲート電極が端子60にそれぞれ接続された構成である。

【0006】 再び図6（b）を参照すると、この負性抵抗回路は、Nチャネル形FET18のソース電極側接続端子30の電圧に対してNチャネル形FET18の基板電位がソース電極電位と同一な場合のNチャネル形FET18のしきい値電圧と基板電位がソース電極電位より低い場合のNチャネル形FET18のしきい値電圧との間にある電圧がゲート電極側端子60に供給され、Pチャネル形FET17のソース電極側端子20に供給される電圧に対して基板電位がソース電極電位と同一な場合のPチャネル形FET17のしきい値電圧と基板電位がソース電極電位より高い場合のPチャネル形FET17のしきい値電圧との間にある電圧がゲート電極側端子50に供給される。このようにして負性抵抗回路を得ている。すなわち、この負性抵抗回路がオフ（OFF）状態からON状態へ移行する場合は、ゲート電極側端子50および60のいずれか一方または両方の供給電位を変化させ、少なくとも一のFETをON状態にすればよい。または接続端子20および30間の電圧を大きくしてFET17および18のいずれか一方のドレイン・ソース電極間電圧がその耐圧を越えて他方のFETの基板に電流が流れ込むことによってもできる。また、ON状態からOFF状態へ移行する場合は、接続端子20および30

0間の電位差を0Vにして回路全体の電流を0にするか、ゲート電極側端子50および60のいずれか一方または両方のゲート電極電圧を変化させて、FET17および18のいずれか一方または両方をOFF状態にする。

【0007】

【発明が解決しようとする課題】 上述した従来技術の負性抵抗回路は、Pチャネル形FETおよびNチャネル形FETの2種類の導電形FETが必要であるため、Nチャネル形MOSFET、ECL (emitter coupled logic)、あるいはGaAs (gallium arsenid) FETを用いたDCFL (direct coupled field effect transistor logic) のように単一の導電形FETを用いて構成される回路では使用できないという欠点があった。また、この欠点はバイポーラトランジスタを用いて同様の回路を構成した場合にも存在する。

【0008】 本発明の目的は、上述の欠点に鑑みなされたものであり、同一導電形のFETを用いて構成した負性抵抗回路を提供することにある。

【0009】

【課題を解決するための手段】 本発明の特徴は、電流入力端子および電流出力端子とその電流入出力端子間の電流を制限する制御端子とをそれぞれ有する第1および第2の各素子と負荷素子とを備え、前記負荷素子および前記第1の素子が直列接続された直列接続回路と前記第2の素子とが第1および第2の外部接続端子間に互いに並列接続の状態で挿入され、前記第1の素子の制御端子が前記第1の外部接続端子との間に所定の制御電圧が供給される制御電圧入力端子に接続され、前記第2の素子の制御端子が前記直列接続回路の直列接続点に接続されて負性抵抗回路が構成されることにある。

【0010】 本発明の他の特徴は、電流入力端子および電流出力端子とその電流入出力端子間の電流を制限する制御端子とをそれぞれ有する第1および第2の各素子と負荷素子とを備え、前記負荷素子および前記第1の素子が直列接続された直列接続回路と前記第2の素子とが第1および第2の外部接続端子間に互いに並列接続の状態で挿入され前記第1の素子の制御端子が前記第1の外部接続端子との間に所定の制御電圧が供給される制御電圧入力端子に接続され前記第2の素子の制御端子が前記直列接続回路の直列接続点に接続された負性抵抗回路の、前記第2の外部接続端子および接地電位間に駆動素子が挿入接続され、その駆動素子の制御端子が入力端子に、前記第2の外部接続端子が出力端子に、前記第1の外部接続端子が電源電位にそれぞれ接続されてヒステリシス特性を有するインバータ回路を構成することにある。

【0011】

【実施例】 本発明の実施例について図面を参照しながら

説明する。

【0012】 図1は本発明の第1の実施例の回路図、図2はこの実施例の内部電圧特性を示す図である。また図3はこの実施例の電流特性を示す図である。

【0013】 図1を参照すると、この図に示した本発明の負性抵抗回路10は、第1のNチャネルエンハンスメント形FET (E-FET) 11および第2のE-FET 12と負荷素子となるNチャネルディプレッション形FET (D-FET) 13と外部接続端子20および30と制御電圧入力端子40とを備え、外部接続端子20にドレイン電極が接続されたD-FET 13のソース電極と外部接続端子30にソース電極が接続されたE-FET 11のドレイン電極とが接続された直列接続回路に対して並列接続の状態で、E-FET 12のドレイン電極が外部接続端子20に、ソース電極が外部接続端子30にそれぞれ接続される。E-FET 11のゲート電極が制御電圧入力端子40に接続され、E-FET 12のゲート電極がD-FET 13およびE-FET 11の直列接続点CとD-FET 13のゲート電極とに共通接続された構成になっている。

【0014】 図2および図3を併せて参照すると、本実施例の負性抵抗回路10は外部接続端子20および30間に供給される電圧Vが上昇すると直列接続点Cおよび外部接続端子30間の電圧V1は0Vから徐々にハイ(H)レベルに向って上昇する(図2-T1)。このときE-FET 11はOFF状態にあるから電圧V1は電圧Vに等しい。さらにE-FET 11のしきい値電圧を V_{t1} とすると、電圧Vが電圧 $V_0 + V_{t1}$ を越えたときに電圧V1はしきい値電圧 V_{t1} よりも大きくなる。そのためE-FET 11にドレイン電流が流れ始め電圧V1は下降する(図2-T2)。このときの電圧V1の極大値は電圧 $V_0 + V_{t1}$ よりも少し高い値になる。

【0015】 ここでE-FET 12のしきい値電圧 V_{t2} を電圧V1の極大値よりも小さく選び、また電圧 V_0 が極大値のときのE-FET 12の電流をE-FET 11の電流よりも大きくなるようにE-FET 12のゲート幅あるいは電圧V1の値を設計すると、外部接続端子20から同30に流れる電流が電圧V1の上昇と共に増加し(図3-T1)電圧V1の極大値近傍(図2-V1max)で極大となる特性(図3-T2のImax)、すなわち負性抵抗特性が得られる。

【0016】 ここで図2は、各FETのしきい値電圧をE-FET 11および12は共に0.1V、D-FET 13は-0.4Vに、ゲート幅をE-FET 11は $5\mu\text{m}$ 、E-FET 12は $20\mu\text{m}$ およびD-FET 13は $3.5\mu\text{m}$ に、電圧 V_0 を0.4Vにそれぞれ設定したときの電圧Vおよび電圧V1の関係を示した特性曲線である。また図3はそのときの外部接続端子20および30間の電流電圧特性を示し、電圧Vが約0.7Vから0.9Vの電圧領域(図3-T2)で負性抵抗が得られ

た。

【0017】本実施例では、E-FET11の負荷素子としてゲート・ソース電極間を接続したD-FET13を用いたが抵抗素子を用いても同様な負性抵抗特性が得られる。またしきい値電圧 V_{t2} を電圧 $V_0 + V_1$ よりも小さくできればよいことから、E-FET12にしきい値電圧が負となるディプレッション形を用いることも可能である。さらにFETに限らずバイポーラトランジスタを用いて本実施例と同様な負性抵抗回路を構成することができる。

【0018】図4および図5を参照すると、これらの図に回路図および入出力特性の図を示した第2の実施例は前述した第1の実施例をヒステリシス特性をもつインバータ回路へ適用した例である。第1の実施例の負性抵抗回路10と異なるところは外部接続端子20が電源電位VDDに供給され、制御電圧入力端子40が制御電圧入力端子400に接続され、外部接続端子30が出力端子300に接続され、外部接続端子30および接地電位間に駆動FETとしてE-FET14が挿入されそのゲート電極に端子500が接続されたことである。

【0019】それ以外の構成は第1の実施例と同様であり、対応する各部位には同一の符号を付して構成の説明は省略する。

【0020】図4および図5を併せて参照すると、E-FET11のゲート電極に接続された制御電圧入力端子40および外部接続端子20の間には対応する端子400および200を介して電圧 V_0 が供給され、さらに外部接続端子20には端子400を介して電源電位VDDが供給されている。ここで各FETのしきい値電圧はE-FET11、12および13は共に0.1V、D-FET13は0.4Vであり、またゲート幅はE-FET11が $5\mu\text{m}$ 、E-FET12が $20\mu\text{m}$ 、E-FET14が $30\mu\text{m}$ 、およびD-FET13が $3.5\mu\text{m}$ であり、電圧 V_0 は0.4V、電源電位VDDは2Vとした。

【0021】上記した条件におけるこの負性抵抗回路10を適用したヒステリシス特性をもつインバータ回路100の入出力特性を示した図5を参照すると、制御電圧

入力端子400に供給される入力電圧を0VからHレベルに向って上昇させたときの出力端子300における出力電圧との関係を特性曲線Aで、2VからLレベルに向って下降させたときの関係を特性曲線Bで表わしてある。これらの特性曲線によれば本実施例のインバータ回路100はヒステリシス特性をもつ入出力特性が得られており、本実施例を記憶回路およびフリップフロップ等の回路に応用することが可能である。

【0022】

10 【発明の効果】以上説明したように、本発明の負性抵抗回路は、2個の同一導電型FETおよび負荷素子を備え、異なる導電型の素子を必要としないので、NMO S、GaAs、およびECL回路等の同一導電形素子のみからなるICチップに内蔵させることができるという効果を有する。また負性抵抗回路を用いないメモリセルおよびフリップフロップ、あるいは多値論理回路等よりも少ない素子数で構成できるという効果も有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す回路図である。

20 【図2】第1の実施例の内部電圧特性の図である。

【図3】第1の実施例の電流電圧特性の図である。

【図4】本発明の第2の実施例を示す回路図である。

【図5】第2の実施例の入出力特性の図である。

【図6】(a)は従来の負性抵抗回路の一例を示す回路図である。(b)は従来の負性抵抗回路の他の例を示す回路図である。

【符号の説明】

10 負性抵抗回路

11, 12, 14 Nチャネルエンハンスメント形FET

13 Nチャネルディプレッション形FET

20, 30 外部接続端子

40, 400 制御電圧入力端子

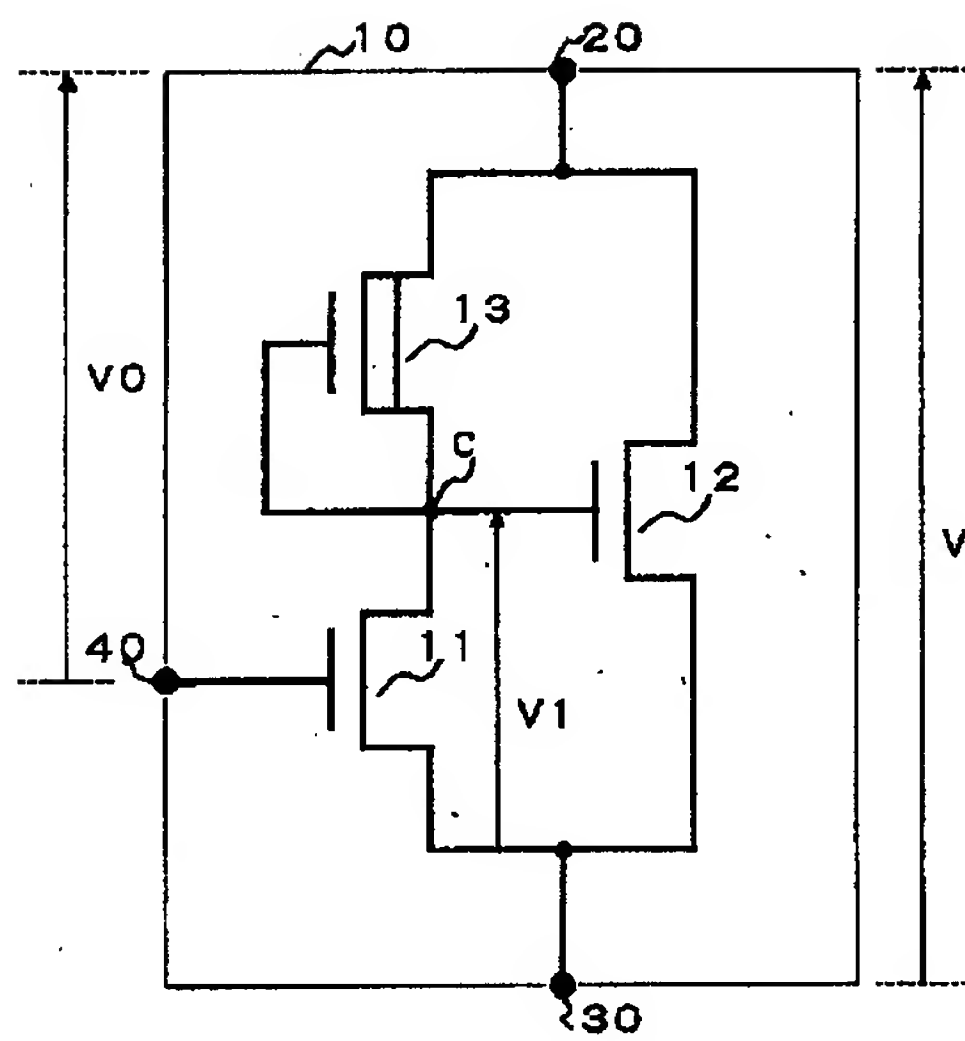
100 ヒステリシス特性をもつインバータ回路

200 電源電位(VDD)

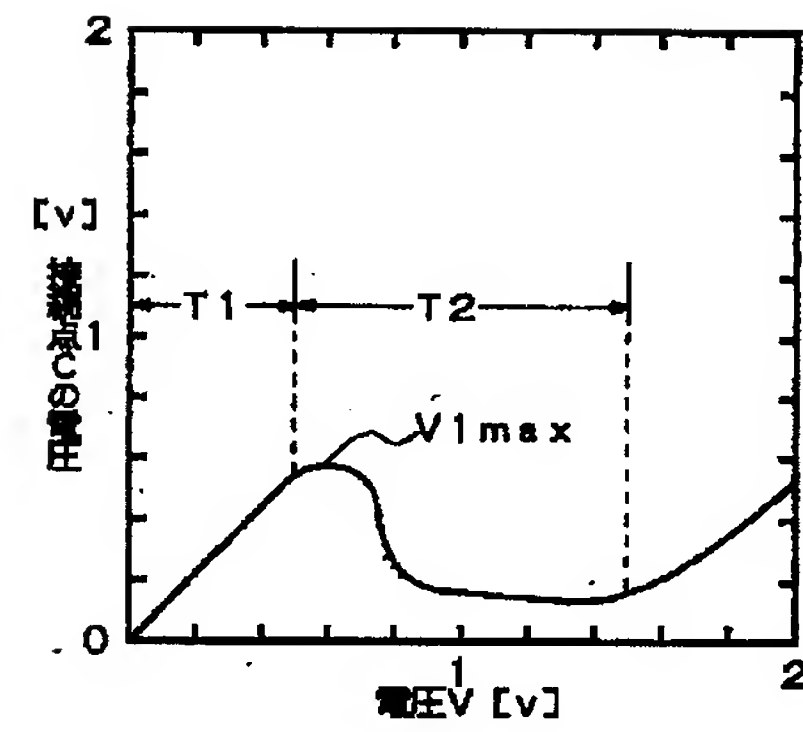
300 出力端子

500 入力端子

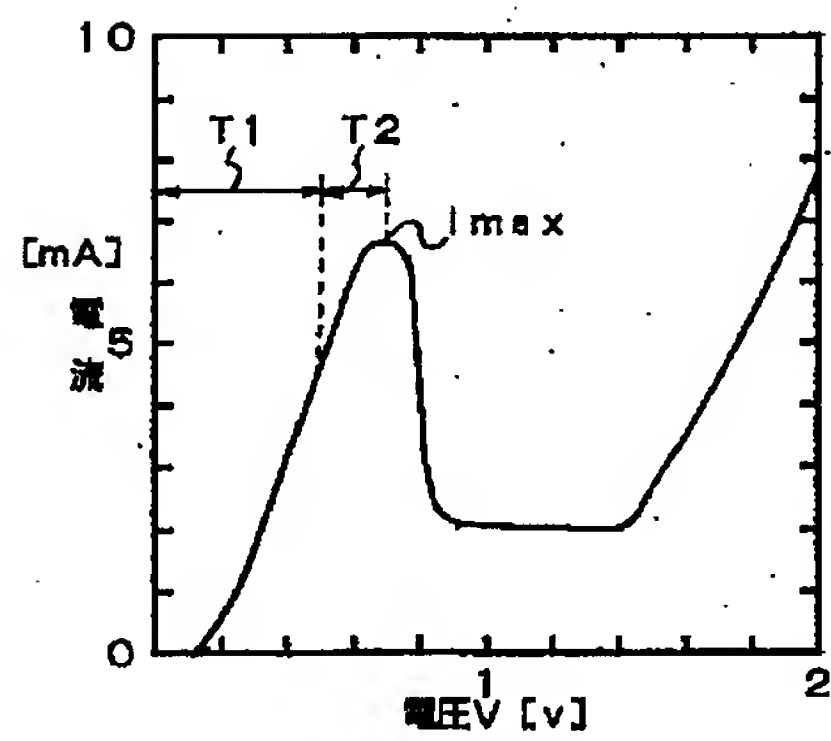
【図1】



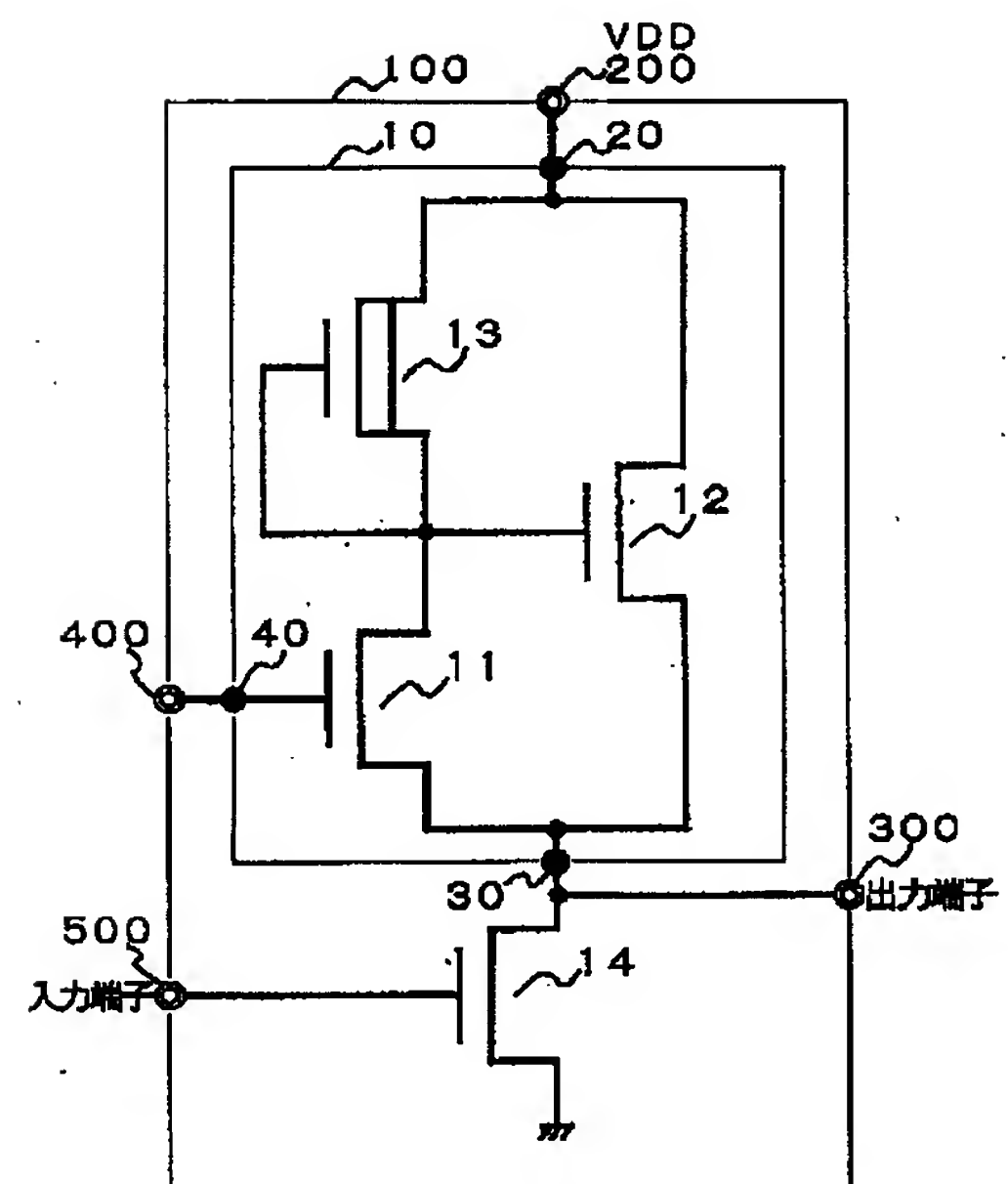
【図2】



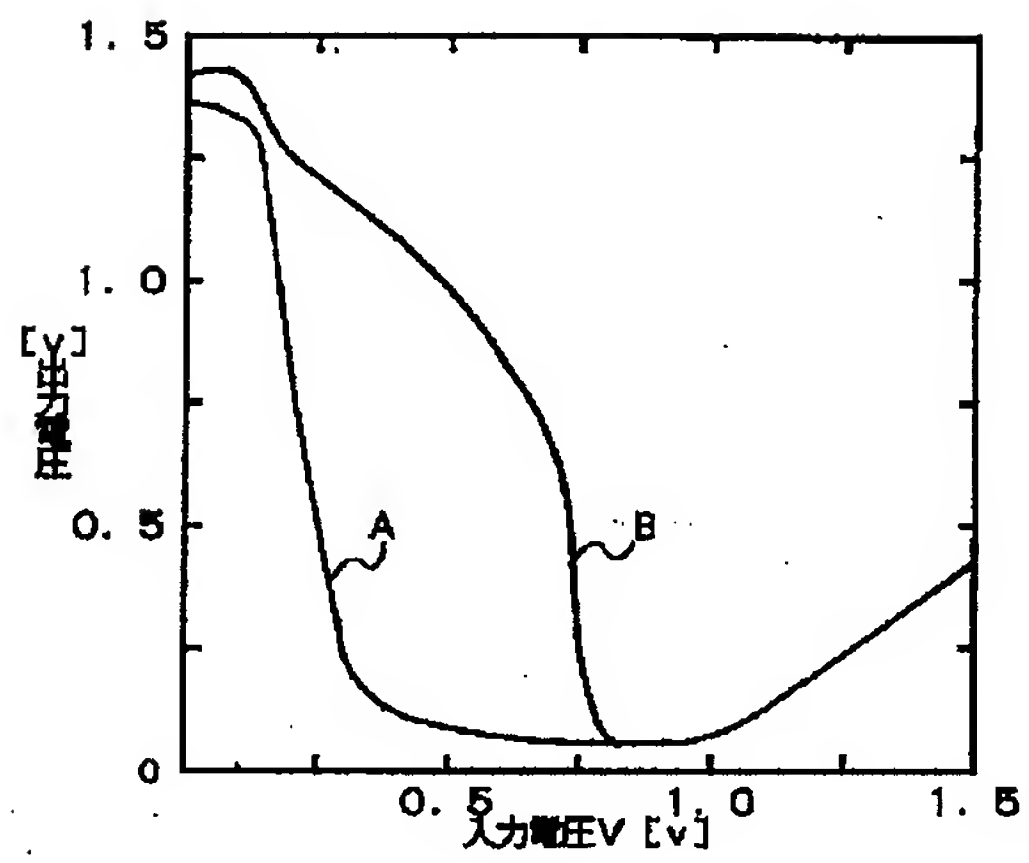
【図3】



【図4】



【図5】



【図6】

